

面から突出するように第1の绝缘膜を埋め込むとともに、前記シリコン層上に第2の绝缘膜を選択的に形成するステップと、

(d)前記第2の绝缘膜が形成されない前記シリコン層の表面から上方にかけてエビタキシャル成長させてエビタキシャル成長膜を形成するステップとを備え、前記シリコン層と前記エビタキシャル成長層との下方向の前記シリコン層が構成され、前記第2绝缘膜とその下方の前記シリコン層とににより部分分離領域が構成され、前記第1の绝缘膜により完全分離領域が構成され、前記完全分離領域によつて粒子分離される複数の粒子形成領域それそれに所定の粒子を形成するステップをさらに備える、半導体装置の製造方法。

【請求項4-3】 (a)半導体基板、埋め込み绝缘層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記SOI層を選択的に除去して、各々が前記SOI層を貫通した第1及び第2のトレンチからなる複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記SOI層の崩壊が複数の粒子形成領域となり、前記第1及び第2のトレンチ内の崩壊が複数の粒子形成領域となる。

【請求項4-4】 (a)半導体基板、埋め込み绝缘層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記SOI層を選択的に除去して、各々が前記SOI層を貫通した第1及び第2のトレンチからなる複数のトレンチを形成するステップと、前記複数のトレンチ間の前記SOI層の崩壊が複数の粒子形成領域となり、前記第1のトレンチ内の崩壊が複数の粒子形成領域を、前記第1のトレンチの開口部から底面の方向に部分的に崩壊するステップと、

(c)前記第1及び第2のトレンチに绝缘膜を埋めるステップと、

(d)前記第1のトレンチ内の崩壊が複数の粒子形成領域を形成するステップとを備え、前記複数のトレンチ内に底面及び側面上にボリシリコン層を準備するステップと、

(e)前記複数のトレンチ間に前記SOI層の領域を残して、各々が前記SOI層を貫通した第1及び第2のトレンチからなる複数のトレンチを形成するステップと、前記複数のトレンチ間の前記SOI層の崩壊が複数の粒子形成領域となり、前記第1のトレンチ内の崩壊が複数の粒子形成領域を形成するステップとをさらに備える、半導体装置の製造方法。

【請求項4-5】 前記ステップ(4)は、

(a-1)前記少なくとも1つの粒子形成領域が複数のトレンチ間に設けられ、各々に所定の粒子が形成される複数のトレンチを形成するステップと、

(a-2)前記エビタキシャル成長層に接するように、前記複数のトレンチ間に設けられた複数のトレンチを形成するステップと、

(b-1)前記エビタキシャル成長させ、前記六部にエビタキシャル成長層を形成するステップとを備える請求項4-4記載の半導体装置の製造方法。

【請求項4-6】 前記ステップ(5)は、

(a)前記SOI層の上端部に不純物濃度分布のピークが存在し、かつチャネル現象が生じるよう所定の導電型の不純物を導入して前記所定の粒子活性領域を形成するステップを含み、請求項3-8記載の半導体装置の製造方法。

【請求項4-7】 (a)半導体基板、埋め込み绝缘層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記第1のトレンチ内の崩壊が複数の粒子形成領域となり、前記第1のトレンチの開口部から底面の方向に部分的に崩壊するステップと、

(c)前記第1及び第2のトレンチに绝缘膜を埋めるステップと、

(d)前記第1のトレンチ内の崩壊が複数の粒子形成領域を形成するステップとをさらに備える、半導体装置の製造方法。

【請求項4-8】 半導体基板、埋め込み绝缘層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(a)前記複数の粒子形成領域をマスクしながら、前記埋込み绝缘層に対して每方性エッチングを施し、前記複数の粒子形成領域のうちの少なくとも1つの粒子形成領域を形成するステップと、前記埋込み绝缘層の上部を除去し六部を形成するステップと、

(b)前記複数の粒子形成領域をマスクしながら、前記埋込み绝缘層に対して每方性エッチングを施し、前記複数の粒子形成領域のうちの少なくとも1つの粒子形成領域を形成するステップとをさらに備える、半導体装置の製造方法。

【請求項4-9】

ステップと、

(e)前記SOI層内で前記複数の粒子形成領域を越境分離するステップと、

(f)前記ボディー領域を外部から電位固定可能にするとともに、前記複数の粒子形成領域それぞれに所定の粒子を形成するステップとをさらに備える、半導体装置の製造方法。

【請求項4-10】 前記ステップ(4)は、

(a-1)前記少なくとも1つの粒子形成領域が複数のトレンチ間に設けられ、各々に所定の粒子が形成される複数のトレンチを形成するステップと、

(a-2)前記エビタキシャル成長させ、前記六部にエビタキシャル成長層を形成するステップと、

(b-1)前記エビタキシャル成長させ、前記SOI層を貫通した第1及び第2のトレンチからなる複数のトレンチ間に設けられた複数のトレンチを形成するステップと、

(b-2)前記エビタキシャル成長層に接するように、前記複数のトレンチ間に設けられた複数のトレンチを形成するステップと、

(c)前記過去データに基づき第1及び第2のMOSトランジスタの形成領域を設定するステップと、

(d)前記過去データにおける前記ウエル領域の外周近傍デバイスの過去データを得るステップと、

(e)前記過去データで得たウエル領域を所定の粒子形成領域と前記貫通部の粒子形成領域を合わせてエビタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エビタキシャル成長層との下方向の前記シリコン層が構成され、前記第2绝缘膜とその下方の前記シリコン層とともに部分分離領域が構成され、前記第1の绝缘膜により完全分離領域が構成され、前記完全分離領域によつて粒子分離される複数の粒子形成領域それそれに所定の粒子を形成するステップをさらに備える、半導体装置の製造方法。

【請求項4-11】 前記ステップ(5)は、

(a)前記SOI層の上端部に不純物濃度分布のピークが存在し、かつチャネル現象が生じるよう所定の導電型の不純物を導入して前記所定の粒子活性領域を形成するステップを含み、請求項3-8記載の半導体装置の製造方法。

【請求項4-12】 前記ステップ(6)は、

(a)前記SOI層の上端部に不純物濃度分布のピークが存在し、かつチャネル現象が生じるよう所定の導電型の不純物を導入して前記所定の粒子活性領域を形成するステップを含み、前記複数の粒子形成領域を形成するステップとを備える請求項4-4記載の半導体装置の製造方法。

【発明の属する技術分野】 この発明はSOI構造の半導体装置に関する。

【参考文献】 図10-2に示すように、シリコン基板

1. 埋め込み耐候層2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、前記SOI層3中のトランジスタ形成領域は完全貫化トレンジスタによってが完全に分離され、例えば、NMO

OSトランジスタ形成領域が形成される1単位のNMOトランジスタは完全貫化トレンジスタによって他のトランジスタから完全分離されていた。なお、図10-2の例ではSOI層3上に層間绝缘層4で覆っている。

【0003】図10-2において、完全貫化トレンジスタによって、完全貫化トレンジスタから完全分離される1単位のNMOSトランジスタは、SOI層3中に形成されるドライン領域5、ソース領域6、チャネル形成領域7、チャネル形

成領域87上に形成されるゲート耐候層8及びゲート氧化層8上に形成されるゲート電極9から構成される。また、層間绝缘層4上に形成された配線層2-2は、層間绝缘層4中に設けられたコンタクト2-1をしてドレイン領域5あるいはソース領域6と電気的に接続される。

【0004】このように、従来のSOI構造の半導体は装置は粒子（トランジスタ）単位でSOI層3中に完全分離されているため、PMOS及びNMOSそれぞれのトランジスタ間は完全に分離されラッチアップが原理的に起らしない構造を呈している。

【0005】 [発明が解決しようとする課題] したがって、SOI構造を準備するステップとをさらに備え、前記トレンチの前記SOI層を選択的に除去して複数の粒子形成領域を形成するステップと、

(c)前記複数の粒子形成領域をマスクしながら、前記埋込み绝缘層に対して每方性エッチングを施し、前記複数の粒子形成領域のうちの少なくとも1つの粒子形成領域を形成するステップとをさらに備える、前記シリコン層の上部を露出し六部を形成するステップと、

(d)前記六部をボリシリコン層で埋め、前記ボリシリコン層を含み、前記少なくとも1つの粒子形成領域が構成され、前記完全分離領域とその下方の前記SOI層3によつて粒子分離される複数の粒子形成領域が形成される、前記完全分離領域によつて粒子分離される複数の粒子形成領域を形成するステップをさらに備える、半導体装置の製造方法。

【請求項4-8】 半導体基板、埋め込み绝缘層及びSOI層からなり、前記SOI層にCMOSデバイスが形成

される半導体装置の設計方法であつて、

(a)ウェル領域内形成される第1の導電型の第1のMOSトランジスタと前記ウェル領域外に形成される第2の導電型の第2のMOSトランジスタとからなるCMOS

トランジスタの形成領域を設定するステップと、

(b)前記過去データに基づき第1及び第2のMOSトランジスタの過去データを得るステップと、

(c)前記過去データにおける前記ウエル領域の外周近傍デバイスの過去データを用いて、前記シリコン層と前記ウエル領域を合わせてエビタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エビタキシャル成長層との下方向の前記シリコン層が構成され、前記第2绝缘膜とその下方の前記シリコン層とともに部分分離領域が構成され、前記第1の绝缘膜により完全分離領域が構成され、前記完全分離領域によつて粒子分離される複数の粒子形成領域それそれに所定の粒子を形成するステップをさらに備える、半導体装置の製造方法。

【発明の詳細な説明】

【從来の技術】 図10-2に示すように、シリコン基板

1. 埋め込み耐候層2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、前記SOI層3中のトランジスタ形成領域は完全貫化トレンジスタによってが完全に分離され、例えば、NMO

OSトランジスタ形成領域が形成される1単位のNMOトランジスタは完全貫化トレンジスタによって他のトランジスタから完全分離されていた。なお、図10-2の例ではSOI層3上に層間绝缘層4で覆っている。

【0003】図10-2において、完全貫化トレンジスタによって、完全貫化トレンジスタから完全分離される1単位のNMOSトランジスタは、SOI層3中に形成されるドライン領域5、ソース領域6、チャネル形成領域7、チャネル形

成領域87上に形成されるゲート耐候層8及びゲート氧化層8上に形成されるゲート電極9から構成される。また、層間绝缘層4上に形成された配線層2-2は、層間绝缘層4中に設けられたコンタクト2-1をしてドレイン領域5あるいはソース領域6と電気的に接続される。

【0004】このように、従来のSOI構造の半導体装置は粒子（トランジスタ）単位でSOI層3中に完全分離されているため、PMOS及びNMOSそれぞれのトランジスタ間は完全に分離されラッチアップが原理的に起らしない構造を呈している。

【0005】 [発明が解決しようとする課題] したがって、SOI構造の半導体装置において、前記

1. 埋め込み耐候層2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、前記SOI層3中のトランジスタ形成領域は、第1の回路用の複数の粒子形成領域と第2の回路用の複数の粒子形成領域を含み、前記第1の回路用の複数の粒子形成領域は前記SOI層3を貫通した完全分離領域によって粒子分離され、前記第2の回路用の複数の粒子形成領域は前記SOI層3を貫通した完全分離領域によって粒子分離され、前記複数の粒子形成領域は前記第1及び第2の部分分離領域を含み、前記複数の粒子形成領域はそれそれ前記第1の部分分離領域はそれそれ前記第2の部分分離領域によって粒子分離される。

【0006】この発明は上記問題点を解決するためになされたもので、基板浮遊効果の低減を図ったSOI構造の半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】 この発明に係る請求項1記載の半導体装置は、半導体基板、埋め込み耐候層及びSOI層からなるSOI構造を有しており、前記SOI層に設けられ、各自に所定の粒子が形成される複数の粒子形成領域と、前記SOI層に設けられ、各自に所定の粒子が形成される複数の粒子形成領域を含む、前記部分分離領域を形成するステップと、

【発明の詳細な説明】

【從来の技術】 図10-2に示すように、シリコン基板

1. 埋め込み耐候層2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、前記SOI層3中のトランジスタ形成領域は完全貫化トレンジスタによってが完全に分離され、例えば、NMO

OSトランジスタ形成領域が形成される1単位のNMOトランジスタは完全貫化トレンジスタによって他のトランジスタから完全分離されていた。なお、図10-2の例ではSOI層3上に層間绝缘層4で覆っている。

【0003】図10-2において、完全貫化トレンジスタによって、完全貫化トレンジスタから完全分離される1単位のNMOSトランジスタは、SOI層3中に形成されるドライン領域5、ソース領域6、チャネル形成領域7、チャネル形

成領域87上に形成されるゲート耐候層8及びゲート氧化層8上に形成されるゲート電極9から構成される。また、層間绝缘層4上に形成された配線層2-2は、層間绝缘層4中に設けられたコンタクト2-1をしてドレイン領域5あるいはソース領域6と電気的に接続される。

【0004】このように、従来のSOI構造の半導体装置は粒子（トランジスタ）単位でSOI層3中に完全分離されているため、PMOS及びNMOSそれぞれのトランジスタ間は完全に分離されラッチアップが原理的に起らしない構造を呈している。

【0005】 [発明が解決しようとする課題] したがって、SOI構造を準備するステップとをさらに備え、前記トレンチの前記SOI層を選択的に除去して複数の粒子形成領域を形成するステップと、

(c)前記複数の粒子形成領域をマスクしながら、前記埋込み绝缘層に対して每方性エッチングを施し、前記複数の粒子形成領域のうちの少なくとも1つの粒子形成領域を形成するステップとをさらに備える、前記シリコン層の上部を露出し六部を形成するステップと、

(d)前記六部をボリシリコン層で埋め、前記ボリシリコン層を含み、前記少なくとも1つの粒子形成領域が構成され、前記完全分離領域とその下方の前記SOI層3によつて粒子分離される複数の粒子形成領域が形成される、前記完全分離領域によつて粒子分離される複数の粒子形成領域を形成するステップをさらに備える、半導体装置の製造方法。

【請求項4-8】 半導体基板、埋め込み耐候層及びSOI層からなり、前記SOI層にCMOSデバイスが形成

される。この発明は上記問題点を解決するためになされたもので、基板浮遊効果の低減を図ったSOI構造の半導体装置を得ることを目的とする。

【0006】この発明は上記問題点を解決するためになされたもので、基板浮遊効果の低減を図ったSOI構造の半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】 この発明に係る請求項1記載の半導体装置は、半導体基板、埋め込み耐候層及びSOI層からなるSOI構造を有しており、前記SOI層に設けられ、各自に所定の粒子が形成される複数の粒子形成領域と、前記部分分離領域を形成するステップと、

【発明の詳細な説明】

【從来の技術】 図10-2に示すように、シリコン基板

1. 埋め込み耐候層2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、前記SOI層3中のトランジスタ形成領域は完全貫化トレンジスタによってが完全に分離され、例えば、NMO

OSトランジスタ形成領域が形成される1単位のNMOトランジスタは完全貫化トレンジスタによって他のトランジスタから完全分離されていた。なお、図10-2の例ではSOI層3上に層間绝缘層4で覆っている。

【0003】図10-2において、完全貫化トレンジスタによって、完全貫化トレンジスタから完全分離される1単位のNMOSトランジスタは、SOI層3中に形成されるドライン領域5、ソース領域6、チャネル形成領域7、チャネル形

成領域87上に形成されるゲート耐候層8及びゲート氧化層8上に形成されるゲート電極9から構成される。また、層間绝缘層4上に形成された配線層2-2は、層間绝缘層4中に設けられたコンタクト2-1をしてドレイン領域5あるいはソース領域6と電気的に接続される。

【0004】このように、従来のSOI構造の半導体装置は粒子（トランジスタ）単位でSOI層3中に完全分離されているため、PMOS及びNMOSそれぞれのトランジスタ間は完全に分離されラッチアップが原理的に起らしない構造を呈している。

【0005】 [発明が解決しようとする課題] したがって、SOI構造を準備するステップとをさらに備え、前記トレンチの前記SOI層を選択的に除去して複数の粒子形成領域を形成するステップと、

(c)前記複数の粒子形成領域をマスクしながら、前記埋込み绝缘層に対して每方性エッチングを施し、前記複数の粒子形成領域のうちの少なくとも1つの粒子形成領域を形成するステップとをさらに備える、前記シリコン層の上部を露出し六部を形成するステップと、

(d)前記六部をボリシリコン層で埋め、前記ボリシリコン層を含み、前記少なくとも1つの粒子形成領域が構成され、前記完全分離領域とその下方の前記SOI層3によつて粒子分離される複数の粒子形成領域が形成される、前記完全分離領域によつて粒子分離される複数の粒子形成領域を形成するステップをさらに備える、半導体装置の製造方法。

【請求項4-8】 半導体基板、埋め込み耐候層及びSOI層からなり、前記SOI層にCMOSデバイスが形成

される。この発明は上記問題点を解決するためになされたもので、基板浮遊効果の低減を図ったSOI構造の半導体装置を得ることを目的とする。

【0006】この発明は上記問題点を解決するためになされたもので、基板浮遊効果の低減を図ったSOI構造の半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】 この発明に係る請求項1記載の半導体装置において、前記

1. 埋め込み耐候層2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、前記SOI層3中のトランジスタ形成領域は完全貫化トレンジスタによってが完全に分離され、例えば、NMO

OSトランジスタ形成領域が形成される1単位のNMOトランジスタは完全貫化トレンジスタによって他のトランジスタから完全分離されていた。なお、図10-2の例ではSOI層3上に層間绝缘層4で覆っている。

【0003】図10-2において、完全貫化トレンジスタによって、完全貫化トレンジスタから完全分離される1単位のNMOSトランジスタは、SOI層3中に形成されるドライン領域5、ソース領域6、チャネル形成領域7、チャネル形

図3の上面高さはSOI層3の表面高さと同一である。

ことが微細加工上好いが、SOI層3が薄い場合は
界面分離に必要な部分積化層3の厚さとこれが積
み重なるため、SOI層3より上に持ち上げた方が界面分離
性能が向上する。

10063)そして、酸化膜分離用の部分積化層3の
下部にはチャネル形成領域と同じ導電型のウェル領域1
物領域、不純物濃度はチャネル形成領域と同じかそれ以
上、濃度が高いほどバンチスルーフが防止でき分離性能は
良くなる)が記載されている。

10064)また、ボディー領域10は、図2に示すよ
うに、隣接するウェル領域1と同じ導電型で10¹¹~
10¹²/cm²の高濃度の不純物が導入される。

10065)なお、図2のボディー領域10は、SOI
層3の上面から下面にかけてボディー領域10を形成し
簡易掩蔽4を貫通してボディーコンタクト23を形成
したが、図4のようにボディー領域を形成しても良い。

10066)図4の例では、ボディーコンタクト23の
形状に合わせてSOI層3の下部のみにボディー領域
20を形成し、簡易掩蔽4及び部分積化層3を貫通
してボディーコンタクト23を形成することになる。こ
の場合、ボディー領域10は隣接して部分積化層31下
にウェル領域28が形成される。

10067)ただし、図4の構造を形成する場合はコン
タクト開口後にボディー領域20を形成するための高濃
度不純物注入を行うことが望ましい。

10068)ここで、同じ導電型の界面分離において
は、ウェル領域11、12はチャネル形成領域の導電型
と同一の不純物を導入して形成するだけではあるが、図1
に示すように、PMOSとNMOSに異なる分離にお
いてはNMOS駆動部でW型のウェル領域11、PMOS
駆動部でN型のウェル領域12を設ける必要がある。

10069)このようなSOI構造は後述する実施の形
態2の部分レンチによる分離法を用いて製造すること
ができる。

10070) <<実施の形態2>>

<第1の構造>図5はこの発明の実施の形態2であるSO
I構造の半導体装置の第1の構造の構造を示す断面図
である。

10071)図5に示すように、実施の形態2ではNM
OSトランジスタおよびPMOSトランジスタそれそれ
の内部のトランジスタ分離を部分積化層31とその下層
のウェル領域11(12)によって行い、一方、PMO
Sトランジスタ、NMOSトランジスタ間の分離を完全
積化層32によって行っている。このような構成にすると
により、実施の形態1の構造に比べて、PMOS、N
MOS間の分離幅を小さくできたり、ラッチアップを防
いだりすることができる。

10072)図5の構造を実現する際には、ソース領域
50がSOI層3の上面から下面に達して形成されるが周辺

6、ドレイン領域5をイオン注入で形成する際に、注入

イオンが部分積化層31を通り抜けて、本来はドレイン
領域5及びソース領域6と逆の導電型式にする必要があ
る部分積化層31下のウェル領域11(12)に、ドレ
イン領域5及びソース領域6用の不純物が導入されると
により、部分積化層31及びウェル領域11による分
離特性を損ねる恐れがある。

10073) <第2の構造>これと遡けるために、図
6に示す第2の構造を示すように、形成深さがSOI層
3の膜厚よりも十分に浅いドレイン領域5及びソース領
域6を形成する方が好ましい。すなわち、部分積化層
31の下面よりもドレイン領域5及びソース領域6を
浅く形成すると良い。図6のように、形成深さの浅い
ドレイン領域5及びソース領域6を形成するために
は、低エネルギー注入によってソース、ドレイン
領域6、5を形成すればよい。

10074)図6に示す、ドレイン領域5及びソース領域6
の形成深さは、ピルトイン状態(PN接合面)からって
いるバイアス電圧が0Vのときの状態で、ソース/ド
レイン空乏層が埋め込み酸化膜2まで到達するため、
ソース/ドレイン領域5/6とウェル領域11(1
2)との接合容量の低減化を図りながら、部分積化層3
及びウェル領域11(12)による部分分離領域によ
る分離特性の向上が図れるからである。

10075) <第3の構造>なおにて、図7に示す実
施の形態2の第3の構造のよう、下部の一部がウェ
ル領域29となるがSOI層3の上面から下面にかけて
酸化膜33を用いてNMOSトランジスタ、PMOSTト
ランジスタ間を完全分離することもできる。第3の構造
では酸化膜33用のトレンチを部分積化層31用のトレ
ンチと同時に設けて形成しやすい分、完全酸化膜32に
よる分離よりレイアウトが容易になる可能性が高い。
10076)以下、酸化膜33による完全分離を、SO
I層3を貫通した貫通部の酸化膜33による完全分離領域
と、SOI層3を貫通しない非貫通部の酸化膜33と
その下方のSOI層3であるウェル領域29による部
分分離領域が連続して形成される複合分離領域による
分離と示す場合がある。

10077) <<第4の構造>>また、図5に示す第4の
構造のように、単純に部分分離を行ふ部分積化層31と
複合分離領域の酸化膜33の上面は凹凸がなく均一にな
るよう形成することにより、ゲート電極9の形状の
バターニングが容易になる効果を表す。

10078) <<第5の構造>>図5に示す第4の構
造のように、単純に部分分離を行ふ部分積化層31と
複合分離領域の酸化膜33の構造の詳細を示す断面図であ
る。同図に示すように、酸化膜33は中心部(貫通部)
10079) <<第5の構造>>図5は図7で示した複合
分離領域の酸化膜33の構造の詳細を示す断面図であ
る。同図に示すように、酸化膜33は中心部(貫通部)
10080) <<第6の構造>>図5に示す第6の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10081) 第6の構造のよう TA>T>Bが成立する
ように形成すると、酸化膜33とそのPN接合面積を十分に低下
させることによりリーカ電流の発生を抑えると共に
は、低エネルギー注入によってソース、ドレイン
領域6、5を形成すればよい。

10082) 第6の構造を示すように、形成深さがSOI層
3の膜厚よりも十分に浅いドレイン領域5及びソース領
域6を順序的に行なうことで形成されるドレイン/ソ
ース/ドレイン領域5/6とウェル領域11(1
2)との接合容量を低減化を図るために、ドレイン領域5
とウェル領域29に接して形成されるドレイン/ソ
ース/ドレイン領域5/6とウェル領域29とのPN接
合容量を低下させることにより高運動動作が可能となる。

10083) <<第7の構造>>図5に示すように、形成深さがSOI層
3の膜厚よりも十分に浅いドレイン領域5及びソース領
域6を順序的に行なうことで、形成されるドレイン/ソ
ース/ドレイン領域5/6とウェル領域11(1
2)との接合容量を低減化を図るために、ドレイン領域5
とウェル領域29に接して形成されるドレイン/ソ
ース/ドレイン領域5/6とウェル領域29とのPN接
合容量を低下させることにより高運動動作が可能となる。

10084) <<第8の構造>>実施の形態2では、少なくとも
NMOSトランジスタ、PMOSトランジスタ間を完全
分離する構造を示したが、それ以外にも、メモリ混載論
理回路において、音響対策のためモリ部と論理回路部
との間を完全分離する構造も考えられる。

10085) <<第9の構造>>図5に示す第9の構
造は、完全分離領域と部分分離領域とを併
用する代わりに、形成深さの異なる酸化膜を用いて複数
種の部分分離を行う方法も考えられる。この場合、形成
深さが深い酸化膜下のウェル領域にはボディー領域等
のボディーコンタクト材料を接続することなくフローティ
ング状態にして完全分離領域として用いることもでき
る。

10086) <<第10の構造>>図5に示す第10の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10087) <<第11の構造>>図5に示す第11の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10088) <<第12の構造>>図5に示す第12の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10089) <<第13の構造>>図5に示す第13の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10090) <<第14の構造>>図5に示す第14の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10091) <<第15の構造>>図5に示す第15の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10092) <<第16の構造>>図5に示す第16の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10093) <<第17の構造>>図5に示す第17の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10094) <<第18の構造>>図5に示す第18の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10095) <<第19の構造>>図5に示す第19の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10096) <<第20の構造>>図5に示す第20の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10097) <<第21の構造>>図5に示す第21の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10098) <<第22の構造>>図5に示す第22の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10099) <<第23の構造>>図5に示す第23の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10100) <<第24の構造>>図5に示す第24の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10101) <<第25の構造>>図5に示す第25の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10102) <<第26の構造>>図5に示す第26の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10103) <<第27の構造>>図5に示す第27の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10104) <<第28の構造>>図5に示す第28の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10105) <<第29の構造>>図5に示す第29の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10106) <<第30の構造>>図5に示す第30の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10107) <<第31の構造>>図5に示す第31の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10108) <<第32の構造>>図5に示す第32の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10109) <<第33の構造>>図5に示す第33の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10110) <<第34の構造>>図5に示す第34の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10111) <<第35の構造>>図5に示す第35の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10112) <<第36の構造>>図5に示す第36の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10113) <<第37の構造>>図5に示す第37の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10114) <<第38の構造>>図5に示す第38の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10115) <<第39の構造>>図5に示す第39の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

10116) <<第40の構造>>図5に示す第40の構
造は、ドレイン領域5はTとBとの間に、T>A>T>Bが成立する
A層3の膜厚TAとの間に、T>A>T>Bが成立するよう
に形成する。すなわち、SOI層3の膜厚(TA+T
B)の半分未満でウェル領域29の膜厚を設定する。

2が除去しながら、S01層3が上部に存在しない埋め込み酸化膜2の上層部を除去した六部9 4を形成する。

[0169] そして、図4-5に示すように、六部9 4にポリシリコンを埋め込むことにより、接続領域8 0用のポリシリコン層9 1を形成する。

[0160] <製造方法(その1)> 図4-6～図4-8は接続領域8 0となるポリシリコン領域を形成するその1の工程をより具体的に示す断面図である。

[0161] まず、図4-6に示すように、S01基板のS01層3上にシリコン酸化膜9 1及びシリコーン塗装9 2を形成する。

S01層3を堆積し、S01層3、シリコン酸化膜9 1及びシリコン酸化膜9 2をバーニングしてトレンチ分離を行った後、バーニング後のS01層3、シリコン酸化膜9 1及びシリコーン塗装9 2をバーニングしてトレンチ分離を行った後、バーニング後のS01層3、シリコーン塗装9 2を形成する。

[0162] そして、図4-7に示すように、シリコーン塗装9 2及び側壁シリコーン塗装9 3をマスクして、埋め込み酸化膜2に対するウエットエッチングを行い、S01層3の端部裏面の埋め込み酸化膜2を除去しないで、S01層3が上部に存在せずに露出した埋め込み酸化膜9 3を形成する。

[0163] その後、図4-8に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をドライエッチャリングによりエッチバックすることにより、六部9 4を形成する。

[0164] 以下、図4-1で示した工程のように、トレンチに酸化膜を埋め込み等の方法により複数の累子形成領域を絶縁分離し、接続領域8 0外側から端部固定可能にし、さらに、複数の累子形成領域それをそれに所定の累子を形成することにより、図4-2で示した構造が完成する。

[0165] <製造方法(その2)> 図4-9～図5-1は接続領域8 0となるポリシリコン領域を形成するその2の工程を具体的に示す断面図である。

[0166] まず、既に取り上げた図4-6に示すように、S01層3、シリコン酸化膜9 1及びシリコーン塗装9 2をバーニングしてトレンチ分離を行った後、バーニング後のS01層3、シリコン酸化膜9 1及びシリコーン塗装9 2の側面に側壁シリコーン塗装9 3を形成する。

[0167] そして、図4-9に示すように、シリコーン塗装9 2及び側壁シリコーン塗装9 3をマスクして、埋め込み酸化膜2に対するウェットエッチングを行い、S01層3の端部裏面の埋め込み酸化膜2を除去しながら、S01層3が上部に存在しない埋め込み酸化膜2の上層部を除去することにより、六部9 4を形成する。

[0168] 次に、図5-0に示すように、S01層3の露出した裏面からのエビタキシャル成長により側壁シリ

コーン塗装9 3下にエビタキシャル成長層8 2を形成する。

[0169] その後、図5-1に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をエッチバックすることにより、六部9 4にポリシリコンを埋め込んだ後、バーニング9 3を形成する。

[0170] <実施の形態2> 図7は、その結果、エビタキシャル成長層8 2とポリシリコン領域8 3とからなる接続領域8 0を形成することができる。

[0171] 第2の無機の構造は、エビタキシャル成長層8 2を介している分、ドライエッチャリングあるいはソース電極9 2及び側壁シリコーン塗装9 3をマスクして、

埋め込み酸化膜2に対するウエットエッチングを行い、S01層3の端部裏面の埋め込み酸化膜2を除去しないで、S01層3が上部に存在せずに露出した埋め込み酸化膜9 3を形成する。

[0172] そして、図4-7に示すように、シリコーン塗装9 2及び側壁シリコーン塗装9 3をマスクして、埋め込み酸化膜2に対するウエットエッチングを行い、六部9 4を形成する。

[0173] その後、図4-8に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をドライエッチャリングによりエッチバックすることにより、六部9 4を形成する。

[0174] <第4の態様> 図5-3は実施の形態6の第4の態様を示す断面図である。同図に示すように、埋め込み酸化膜2を貫通して接続領域8 0を表面に形成する。

[0175] このように、第4の態様は、埋め込み酸化膜2を貫通して接続領域8 0を表面に形成することによる。

[0176] <第5の態様> 図5-4は実施の形態6の第5の態様を示す断面図である。同図に示すように、埋め込み酸化膜2を貫通して接続領域8 0を表面に形成する。

[0177] 以上のように、第5の態様は、埋め込み酸化膜2を貫通して接続領域8 0を表面に形成する。

[0178] 以上の態様は結果的に接続領域8 0を表面に形成することになるため、製造工程が容易になる。

[0179] したがって、シリコン基板9 0、層間絶縁層4及び累子形成領域(ドライエッチャリング5、ソース電極6、チャネル形成領域7等)からなるS01構造となる。

[0180] 除去した後、裏面を反対した後、新たな裏面にシリコーン塗装9 0を張り合わせ、接続領域8 0を裏面に形成した構造である。したがって、シリコン基板9 0、層間絶縁層4及び累子形成領域(ドライエッチャリング5、ソース電極6、チャネル形成領域7等)からなるS01構造となる。

[0181] ②過去データに基づき第1及び第2のMOSトランジスタの形成領域(PMOS活性領域101、PMOSボディーコンタクト領域102、NMOS活性領域111、NMOSボディーコンタクト領域112)を設定する。

[0182] ③上記過去データにおけるウェット領域を仮想領域外に形成されるNMOSトランジスタとウェット領域外に形成されるPMOSトランジスタと異なるCMOSデータの過去データを得る。

[0183] ④仮想領域104は面積、NMOSトランジスタとPMOS領域とを区別する領域であるため、仮想領域104として、nウェット領域104とpウェット領域104を基準にして完全分離領域105を設定する。

[0184] ⑤nウェット領域104は面積、NMOSトランジスタとPMOS領域とを区別する領域であるため、仮想領域104を基準にして完全分離領域105を設定する。

[0185] ⑥nウェット領域104とpウェット領域104の外側を完全分離領域105で内側にオーバーサイズ設定するとともに、外側を幅W/2で内側にアンダーサイズ設定することにより完全分離領域105を設定している。

[0186] ⑦⑧⑨⑩⑪⑫⑬⑭⑯

5. CMOSトランジスタが形成する場合、仮想ウェーブル領域104内にPMOS活性領域101及びPMOS活性領域104外のP領域(図示せず)にNMO

ス活性領域111及びNMOSボディーコンタクト領域112を選択的に設けられ、仮想ウェーブル領域104内のP領域(図示せず)にNMO

ス活性領域111及びNMOS領域14が隔離するCMOS構造では、

NMOス領域13 2とNMOS領域14 1内のPMOS活性領域13 3及び

NMOス領域13 2とNMOS領域14 1内のPMOS活性領域13 3及び

NMOス領域14 2とNMOS領域14 2をそれぞれ形成されることになる。

[0187] ⑪⑫⑬⑭⑯

[0188] ⑫⑬⑭⑯

[0189] ⑬⑭⑯

[0190] ⑭⑯

[0191] ⑯

[0192] ⑯

[0193] ⑯

[0194] ⑯

[0195] ⑯

[0196] ⑯

[0197] ⑯

[0198] ⑯

[0199] ⑯

33

34

くラッチアップ現象>図6-4はラッチアップ現象説明用の説明図である。同図に示すように、PMOS領域3 1にNMOS領域14 1が隔離するCMOS構造では、

PMOS領域13 2内のPMOS活性領域13 3及び

ウェット領域13 2とNMOS領域14 1内のウェット領域14 2とにより形成される寄生バイオーラトランジ

タ1と、NMOS領域14 1内のNMOS活性領域14 2及びウェット領域14 2とPMOS領域13 1内の

ウェット領域13 2と共に形成される寄生バイオーラトランジスタ12とが形成される。

[0190] ⑪⑫⑬⑭⑯

[0191] ⑫⑬⑭⑯

[0192] ⑬⑭⑯

[0193] ⑭⑯

[0194] ⑯

[0195] ⑯

[0196] ⑯

[0197] ⑯

[0198] ⑯

[0199] ⑯

[0200] ⑯

[0201] ⑯

35

36

くラッチアップ現象>図6-4はラッチアップ現象説明用の説明図である。同図に示すように、PMOS領域3 1にNMOS領域14 1が隔離するCMOS構造では、

PMOS領域13 2内のPMOS活性領域13 3及び

ウェット領域13 2とNMOS領域14 1内のPMOS活性領域13 3及び

ウェット領域14 2と共に形成される寄生バイオーラトランジ

タ1と、NMOS領域14 1内のNMOS活性領域14 2及び

ウェット領域14 2とPMOS領域13 1内の

ウェット領域13 2と共に形成される寄生バイオーラトランジ

タ12とが形成される。

[0190] ⑪⑫⑬⑭⑯

[0191] ⑫⑬⑭⑯

[0192] ⑬⑭⑯

[0193] ⑭⑯

[0194] ⑯

[0195] ⑯

[0196] ⑯

[0197] ⑯

[0198] ⑯

37

38

くラッチアップ現象>図6-4はラッチアップ現象説明用の説明図である。同図に示すように、PMOS領域3 1にNMOS領域14 1が隔離するCMOS構造では、

PMOS領域13 2内のPMOS活性領域13 3及び

ウェット領域13 2とNMOS領域14 1内のPMOS活性領域13 3及び

ウェット領域14 2と共に形成される寄生バイオーラトランジ

タ1と、NMOS領域14 1内のNMOS活性領域14 2及び

ウェット領域14 2とPMOS領域13 1内の

ウェット領域13 2と共に形成される寄生バイオーラトランジ

タ12とが形成される。

[0190] ⑪⑫⑬⑭⑯

[0191] ⑫⑬⑭⑯

[0192] ⑬⑭⑯

[0193] ⑭⑯

[0194] ⑯

[0195] ⑯

[0196] ⑯

[0197] ⑯

[0198] ⑯

39

40

くラッチアップ現象>図6-4はラッチアップ現象説明用の説明図である。同図に示すように、PMOS領域3 1にNMOS領域14 1が隔離するCMOS構造では、

PMOS領域13 2内のPMOS活性領域13 3及び

ウェット領域13 2とNMOS領域14 1内のPMOS活性領域13 3及び

ウェット領域14 2と共に形成される寄生バイオーラトランジ

タ1と、NMOS領域14 1内のNMOS活性領域14 2及び

ウェット領域14 2とPMOS領域13 1内の

ウェット領域13 2と共に形成される寄生バイオーラトランジ

タ12とが形成される。

[0190] ⑪⑫⑬⑭⑯

[0191] ⑫⑬⑭⑯

[0192] ⑬⑭⑯

[0193] ⑭⑯

[0194] ⑯

[0195] ⑯

[0196] ⑯

[0197] ⑯

[0198] ⑯

41

42

くラッチアップ現象>図6-4はラッチアップ現象説明用の説明図である。同図に示すように、PMOS領域3 1にNMOS領域14 1が隔離するCMOS構造では、

PMOS領域13 2内のPMOS活性領域13 3及び

ウェット領域13 2とNMOS領域14 1内のPMOS活性領域13 3及び

ウェット領域14 2と共に形成される寄生バイオーラトランジ

タ1と、NMOS領域14 1内のNMOS活性領域14 2及び

ウェット領域14 2とPMOS領域13 1内の

ウェット領域13 2と共に形成される寄生バイオーラトランジ

タ12とが形成される。

[0190] ⑪⑫⑬⑭⑯

[0191] ⑫⑬⑭⑯

[0192] ⑬⑭⑯

[0193] ⑭⑯

[0194] ⑯

[0195] ⑯

[0196] ⑯

[0197] ⑯

[0198] ⑯

43

44

くラッチアップ現象>図6-4はラッチアップ現象説明用の説明図である。同図に示すように、PMOS領域3 1にNMOS領域14 1が隔離するCMOS構造では、

PMOS領域13 2内のPMOS活性領域13 3及び

ウェット領域13 2とNMOS領域14 1内のPMOS活性領域13 3及び

ウェット領域14 2と共に形成される寄生バイオーラトランジ

タ1と、NMOS領域14 1内のNMOS活性領域14 2及び

ウェット領域14 2とPMOS領域13 1内の

ウェット領域13 2と共に形成される寄生バイオーラトランジ

タ12とが形成される。

[0190] ⑪⑫⑬⑭⑯

[0191] ⑫⑬⑭⑯

[0192] ⑬⑭⑯

[0193] ⑭⑯

[0194] ⑯

[0195] ⑯

[0196] ⑯

[0197] ⑯

[0198] ⑯

ラッタップ現象やノイズ耐性をある程度高めることができ。

[0226] <<実施の形態11>>

<第1の態様>>図76はこの発明の実施の形態11であるSOI構造の半導体装置の第1の態様の構成を示した平面図であり、図79はそのC-C断面図である。

[0237] これらの図に示すように、ドレン(ドレイン)領域156が共にアルミニウム配線層160と平面図である。

[0227] 同図に示すように、NMOS活性領域128内に複数のゲート電極129が設けられ、NMOS活性領域128の周囲を囲ってフローティング部分分離領域149を形成し、フローティング部分分離領域149の周囲を囲って完全分離領域148を形成している。

[0228] フローティング部分分離領域149は、例えば図55の部分分離領域3-1とウェル領域11との間でのように単化膜とウェル領域との2層構造で形成されるが、ウェル領域は電位固定されると同時に、ドレン(ドレイン)領域とされている。フローティング部分分離領域149のウェル領域を部分分離領域149によって電気的に接続され、

[0229] フローティング部分分離領域149は、ドレン(ドレイン)領域153、ソース領域154及びボディー領域156の周囲を囲って部分分離領域161が形成されている。

[0230] 図79に示すように、部分分離領域161は、耐圧層162とp型のウェル領域177とから構成されている。また、ソース領域154及びボディー領域156の共通接続を容易にするべくソース領域154及

シャル上昇を最低限に抑えることができる。加えて、字典によつて発生する電荷をフローティング部分分離領域149のウェル領域をフローティング状態にしても、単化膜によって発生したキャリアはフローティング部分分離領域149のウェル領域に流れ込みため、ボタン電位を向上させることもできる。

[0231] これによりフローティング部分分離領域149を設ける実験の形態11の第1の態様の構成は、SRAM等、高密度回路でボディー領域へのコントラクトが困難な場合等に有効である。

[0232] なお、完全分離領域148を設ける方がうつりやすいため、第2の形態12は、ゲート電極155のゲート電極178下方のSOI1層3の領域がチャネル形成領域170となる。

[0233] [0240] このような構成において、アルミニウム層160によって、ソース領域154及びコンタクト156を形成している。なお、ゲート電極155のゲート電極178下方のSOI1層3の領域がチャネル形成領域170となる。

[0234] 同図に示すように、フローティング部分分離領域149内にフローティングボディー領域150を設けている。他の構成は図76で示した第1の態様の構成を示した平面図である。

[0235] フローティング領域150は、耐圧層162とウェル領域177とから構成される。また、ソース領域154及びボディー領域156を接続して、ソース領域154及

びシャル上昇を最低限に抑えることができる。加えて、字典によつて発生する電荷をフローティング部分分離領域149のウェル領域をフローティング状態にしても、単化膜によって発生したキャリアはフローティング部分分離領域149のウェル領域に流れ込みため、ボタン電位を向上させることもできる。

[0236] これによりフローティング部分分離領域149は、ドレン(ドレイン)領域153、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

[0237] 同図に示すように、NMOS活性領域128内に複数のゲート電極129が設けられ、NMOS活性領域128の周囲を囲ってフローティング部分分離領域149を形成し、フローティング部分分離領域149の周囲を囲って完全分離領域148を形成している。

[0238] フローティング部分分離領域149は、例

[0245] 図81に示すように、ソース領域154上にシリサイド層167が形成され、シリサイド層167の一部及び上部ボディー領域164上にコンタクト165、5を設けることも可能である。

[0246] <<実施の形態14>>

<第1の態様>>図84はこの発明の実施の形態14であるSOI構造の半導体装置の第1の態様の構成を示した平面図である。同図に示すように、シリコン基板1及びp型のボディー領域156を設け、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

[0247] 同図に示すように、NMOS活性領域128内に複数のゲート電極129が設けられ、NMOS活性領域128の周囲を囲って完全分離領域148を形成している。

[0248] フローティング部分分離領域149は、例

[0249] 図79に示すように、部分分離領域161は、耐圧層162とp型のウェル領域177とから構成されている。また、ソース領域154及びボディー領域156の共通接続を容易にするべくソース領域154及

びシャル上昇を最低限に抑えることができる。加えて、字典によつて発生する電荷をフローティング部分分離領域149のウェル領域をフローティング状態にしても、単化膜によって発生したキャリアはフローティング部分分離領域149のウェル領域に流れ込みため、ボタン電位を向上させることもできる。

[0250] これによりフローティング部分分離領域149は、ドレン(ドレイン)領域153、ソース領域154及びボディー領域156を接続して、第2の形態は、図80及び図81固定することができます。第2の形態は、図80及び図81のように、ソース領域154及びボディー領域156をドレン(ドレイン)領域153、ソース領域154及びボディー領域156の周辺を囲って部分分離領域161が形成されている。

[0251] 図79に示すように、部分分離領域161は、耐圧層162とp型のウェル領域177とから構成されている。また、ソース領域154及びボディー領域156を接続して、通常ソース領域154をp型のボディー領域156を固定することによって、ソース領域154及

びシャル上昇を最低限に抑えることができる。加えて、字典によつて発生する電荷をフローティング部分分離領域149のウェル領域をフローティング状態にしても、単化膜によって発生したキャリアはフローティング部分分離領域149のウェル領域に流れ込みため、ボタン電位を向上させることもできる。

[0252] これによりフローティング部分分離領域149は、ドレン(ドレイン)領域153、ソース領域154及びボディー領域156を接続して、第3の形態は、図82のよう

に示すように、ソース領域154と耐圧層162を接続して、ソース領域154及びボディー領域156を接続して、通常ソース領域154をp型のボディー領域156を固定することによって、ソース領域154及びボディー領域156を接続して、通常ソース領域154をp型のボディー領域156を固定することができます。第3の形態は、図82のよう

に示すように、ソース領域154と耐圧層162を接続して、ソース領域154及びボディー領域156を接続して、通常ソース領域154をp型のボディー領域156を固定することができます。第3の形態は、図82のよう

る帶電抵抗によってp型活性領域171、172の周辺にシリサイド層167が形成され、シリサイド層167の一部及び上部ボディー領域164上にコンタクト165、5を設けることも可能である。

[0253] <<実施の形態14>>

<第1の態様>>図84はこの発明の実施の形態14であるSOI構造の半導体装置の第1の態様の構成を示した平面図である。同図に示すように、シリコン基板1及びp型のボディー領域156を設け、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

[0254] <<実施の形態14>>

<第1の態様>>図84はこの発明の実施の形態14であるSOI構造の半導体装置の第1の態様の構成を示した平面図である。同図に示すように、シリコン基板1及びp型のボディー領域156を設け、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

[0255] このとき、図84の右側に示すように、ドレン(ドレイン)領域153及びソース領域154の不純物プロファイルと、ウェル領域183及びソース領域184の不純物プロファイルとの比較した場合、ウェル領域182の不純物ビックよりS1層3の表面からの深さが深くなるように設定する。

[0256] このような構成の第1の態様の半導体装置は、ドレン(ドレイン)領域183及びソース領域184の不純物プロファイルとの比較した場合、ウェル領域182の不純物ビックよりS1層3の表面からの深さが深くなるように設定する。

[0257] <<第2の形態>>図85はこの発明の実施の形態14であるSOI構造の半導体装置の第2の態様の構成を示す断面図である。同図に示すように、n'活性領域171、172間を分離する部分分離領域を耐圧層173と耐圧層173下のウェル領域(ドレン)領域174、175及びp型領域176とから構成している。な

お、n'活性領域171、172として例えば、トランジスタのソース、ドレン(ドレイン)領域を考えられ、p領域174、175がn'活性領域171、172間に形成するn'活性領域173下のウェル領域(ドレン)領域となり、p領域176がウェル領域の周辺領域となる。

[0258] <<第3の形態>>図85の右側に示すように、シリコン基板182の不純物プロファイルとチャネル形成領域183との比較した場合、チャネル形成領域183の表面より上部にある状態で不純物ビックよりS1層3の表面からの深さが浅くなるように設定する。例えば、部分分離用の耐圧層187の上面がS1層3の表面より上部にある状態で不純物ビックよりS1層3の表面からの深さが浅くなるように設定する。

[0259] <<第2の形態>>図80はこの発明の実施の形態12であるSOI構造の半導体装置の第2の態様の構成を示す断面図である。同図に示すように、シリコン基板1及びp型のボディー領域156を設け、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

[0260] <<実施の形態15>>

<第1の態様>>図86はこの発明の実施の形態15であるSOI構造の半導体装置の第1の態様の構成を示す断面図である。同図に示すように、シリコン基板1及びp型のボディー領域156を設け、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

[0261] <<実施の形態15>>

<第1の態様>>図86はこの発明の実施の形態15であるSOI構造の半導体装置の第1の態様の構成を示す断面図である。同図に示すように、シリコン基板1及びp型のボディー領域156を設け、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

[0262] <<実施の形態15>>

<第1の態様>>図86はこの発明の実施の形態15であるSOI構造の半導体装置の第1の態様の構成を示す断面図である。同図に示すように、シリコン基板1及びp型のボディー領域156を設け、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

[0263] <<実施の形態15>>

<第1の態様>>図86はこの発明の実施の形態15であるSOI構造の半導体装置の第1の態様の構成を示す断面図である。同図に示すように、シリコン基板1及びp型のボディー領域156を設け、ソース領域154及びボディー領域156が共にアルミニウム配線層160と

平面図である。

(1) 2) によって部分分離し、周囲とは完全隔離化膜3 2 によって完全分離している。周囲とは完全隔離化膜3 2 によって完全分離している。

[0 2 8 3] MOSトランジスタを含むSO 1層3上のトランジスタのゲート部(ゲート電極、ゲート電極)は、MOSトランジスタを保護回路として用いる際、他の構成素子へ全面に電間接続膜4が形成され、電間接続膜4上に選択スイッチ2 4 6に電気的に接続される。

[0 2 8 4] 一方、ゲート幅が比較的広いトランジスタを形成するトランジスタ形成領域2 2 8には、ドライン領域2 5 5、ソース領域2 5 6、チャネル形成領域2 5 7、ゲート氧化膜2 5 8及びゲート電極2 5 9からなるMOSトランジスタを構成し、各MOSトランジスタ間を部分隔離化膜3 1及びウエル領域1 1-(1 2)によって部分分離し、周囲とは完全隔離化膜3 2によって完全分離している。

[0 2 8 5] MOSトランジスタを含むSO 1層3上の全面に電間接続膜4が形成され、電間接続膜4上に選択スイッチ2 4 6が形成される。配線膜2 5 2はコントラクトホール2 5 1を介してドライン領域2 4 5及びソース領域2 5 6に電気的に接続される。

[0 2 8 6] ゲート幅Wが狭いトランジスタ形成領域2 2 7に形成されるドライン領域2 4 5及びソース領域2 4 6の形成深さを、ビルトイン状態時にドライン／ソースからの空乏層2 4 3の少なくとも一部が埋め込み酸化膜2 4 2に到達する深さを設定して、混合型の底溝比を図っている。なま、ドライン領域2 4 5及びソース領域2 4 6の形成深さを埋め込み酸化膜2 4 2に到達する深さに設定しても良い¹⁾。

[0 2 8 7] 一方、ゲート幅Wが広いトランジスタ形成領域2 2 8に形成されるドライン領域2 5 5及びソース領域2 5 6の形成深さを、ビルトイン状態時のドライン／ソースからの空乏層2 5 3が埋め込み酸化膜2 4 2に到達しないよう設定して、確実にチャネル形成領域2 5 7の電位固定が行えるようにしている。

[0 2 8 8] なお、トランジスタ形成領域2 2 7及び2 2 8に形成される2種類のドライン／ソース領域は、ソース／ドレイン形成時の不純物の注入エネルギーを変化させたり、NUDC(Non Uniformly Doped Channel)の注入量を変化させることで実現できる。

[0 2 8 9] また、ビルトイン状態時に空乏層が埋め込まれた後、トランジスタ形成領域2 2 7側のソース／ドレイン領域に対してのみ形成深さが深くなるように、再度不純物の追加注入を行うことによても実現できる。

[0 3 0 0] <実施の形態20>

<第1の態様>図9 5はこの発明の実施の形態2 0であるSO 1構造の半導体装置の第1の態様の構造を示す断面図である。同図に示すように、n'・領域

及びp'・領域2 4 6からなるフィールドトランジスタは、MOSトランジスタのゲート部(ゲート電極、ゲート電極)に置き換えて酸化膜を設けた構造を呈している。

[0 3 0 1] このように第1の態様は、p'・領域2 6 3及び酸化膜2 6 4からなる部分分離領域を設けて

いる。そして、n'・領域2 6 1、2 6 2、p'・領域2 6 3に置き換えて酸化膜を設けた構造を呈している。

[0 3 0 2] 実施の形態2 0のフィールドトランジスタのゲート部の構成は部分分離領域と基本的に同じ構成で

及び酸化膜2 6 4からなる部分分離領域を用いてフィールドトランジスタを構成している。フィールドトランジスタは保護回路用素子等に応用できる。

[0 3 0 3] 実施の形態2 0のフィールドトランジスタのゲート部の構成は部分分離領域と基本的に同じ構成で

あるため、部分分離領域と同時にゲート部を構成することにより、比較的容易にフィールドトランジスタを形成することができる。

[0 3 0 4] 図9 6は回路の入力部におけるフィールドトランジスタ利用例を示す回路図である。同図に示すように、フィールドトランジスタQ 3 1の一方電極が外部入力端子P 1に接続され他方電極が接地される。また、

電源、接地間にフィールドトランジスタQ 3 2を設けている。なま、他の構成は図6 6で示し回路構成と同様であるため、説明は省略する。

[0 3 0 5] 図9 7は回路の出力部におけるフィールドトランジスタ利用例を示す回路図である。同図に示すように、フィールドトランジスタQ 3 3によって電源、接地レベル間の寄生ダイオードバスを設けている。

[0 3 0 6] 図9 8は回路の出力部におけるフィールドトランジスタQ 3 4によって電源、接地レベル間の寄生ダイオードバスを設けている。

[0 3 0 7] なま、フィールドトランジスタは図9 5に示すようにENMOS類似構造が放電能力が高いため望ましいが、PMOS類似構造を用いても良い。この場合、

フィールドトランジスタQ 3 1、Q 3 2の代わりに、電源と外部入力端子P 4、接地レベル間の保護、フューリルドトランジスタQ 3 4によって電源、接地レベル間の寄生ダイオードバスを設けている。

[0 3 0 8] <第2の態様>図9 8はこの発明の実施の形態2 0であるSO 1構造の半導体装置の第2の態様の構造を示す断面図である。同図に示すように、n'・領域

40 の構成は基板浮遊効果を低減したSO 1構造の半導体装置において大きな効果が期待できる。また、フィールドトランジスタを保護回路として用いる際、他の構成素子へ全面に電間接続膜4によって部分分離される。

[0 3 0 9] 第2の態様は、フィールドトランジスタ全

てを選択的に設け、n'・領域2 6 1、2 6 2間にp'・領域

2を選択的に設け、n'・領域2 6 1、2 6 2間にp'・領域

純粋開発は少なくとも側面に設けられた部分絶縁層とそれ以外の領域に設けられた遮断電極とを含むため、部分絶縁領域の側面方向に形成される電子の影響を部分絶縁層によって効果的に抑制しながら、部分絶縁領域の容積に基づく不具合を抑えることができる。

[0328]請求項10記載の半導体装置において複数の粒子分離領域の少なくとも1つの領域は所定の形成幅で前記半導体基板の表面に外しはば垂直に延びて形成されるため、集積度を保証することができる。

[0329]この発明によると請求項1記載の半導体装置において、複数の電子形成領域のうち、少なくとも1つの電子形成領域の裏面あるいは裏面に接する領域を上記ボディー領域によって電位固定することができる。

[0330]請求項2記載の半導体装置において、ボディー領域は、SOI層下の埋め込み絶縁層の上端部で形成されるため、電子分離特性に与える影響を最小限に抑えることができる。

[0331]請求項13記載の半導体装置において、ボディー領域は、埋め込み絶縁層を貫通して形成されるため、半導体基板から上記少なくとも1つの電子形成領域を上記ボディー領域にして電位固定することができ

[0332]請求項14記載の半導体装置において、ボディー領域は、少なくとも1つの電子形成領域の裏面に接すればされ、少なくとも1つの電子形成領域の裏面に接するため、比較的簡単に形成することができる。

[0333]請求項15記載の半導体装置は、電子分離領域のうち少なくとも一部の領域は、SOI層を貫通し複合分離領域を含んでおり、複数の電子形成領域のうち複合分離領域によって分離される電子形成領域は、複合分離領域の完全絶縁領域によって完全に绝缘分離することができる。

[0334]請求項16記載の半導体装置の部分分離領域の上面は凹凸なく均一に形成されるため、MOSトランジスタのゲート電極等の所定の電子を形成することができる。

[0335]請求項17記載の半導体装置の複合分離領域の半導体領域の構成は、SOI層の厚さの1/2以下に設定されるため、複合分離領域によって十分高密度な分離特性を得ることができる。

[0336]請求項18記載の半導体装置の複合分離領域において完全絶縁領域の形成幅は複合分離領域全体の形成幅の1/2以下に設定されるため、複合分離領域を構成する部分分離領域の半導体領域の面積を十分確保でき、この半導体領域に接した電子形成領域の電位固定を安定性良く行うことができる。

[0337]請求項19記載の半導体装置の完全分離領域は少なくとも入出力PMOSトランジスタ形成領域と入出力PMOSトランジスタ形成領域との境界近傍領域によって効果的に抑制しながら、部分絶縁領域の容積によって不具合を抑えることができる。

[0338]請求項20記載の半導体装置の完全分離領域は、入出力用トランジスタ形成領域と内部回路形成領域に形成されるため、ランチアップ現象を効果的に抑制することができます。

[0339]請求項21記載の半導体装置の完全分離領域はNOMSトランジスタ形成領域と入出力PMOSトランジスタ形成領域との境界近傍のPMOSトランジスタ形成領域のみ形成され、部分分離領域はNMOSトランジスタ形成領域の周辺領域、及び完全分離領域形成箇所を除くNMOSトランジスタ形成領域の周辺領域に形成されるため、NMOSトランジスタの基板電位の固定を不足なく行い、N-MOSTトランジスタ形成領域、PMOSトランジスタ形成領域の境界を面積効率よく完全分離することができる。

[0340]請求項22記載の半導体装置の部分分離領域はMOSトランジスタ形成箇所を除くMOSトランジスタ形成領域の部分分離領域形成箇所に形成され、完全絶縁領域は、部分分離領域形成箇所を除くMOSトランジスタ形成領域の周辺領域に形成されるため、MOSトランジスタのゲート電極下方のチャネル形成領域の電位固定を効果的に行なながら、完全分離領域によってMOSトランジスタ形成領域を周囲からほぼ完全に分離することができる。

[0341]請求項23記載の半導体装置のボディー領域は、周辺部分分離領域の周囲を囲って形成される第2の導電型の周辺ボディー領域を含むため、周辺ボディー領域を電位固定することによりトランジスタ形成領域を周囲から効果的に分離することができる。

[0342]請求項24記載の半導体装置のソース領域は、周辺部分分離領域の周囲を囲って形成される第2の導電型の周辺ボディー領域を含むため、周辺ボディー領域を電位固定することによりトランジスタ形成領域を周囲から効果的に分離することができる。

[0343]請求項25記載の半導体装置の部分分離領域はMOSトランジスタ形成領域の下方に形成され、ソース領域と共通接続されるため、ソース領域に隣接してソース領域とボディー領域はMOSトランジスタ形成領域との間に生じる段差部の曲率半径を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0344]請求項26記載の半導体装置のソース領域は、周辺部分分離領域の周囲を囲って形成される第2の導電型の周辺ボディー領域を含むため、周辺ボディー領域を電位固定することにより、部分分離領域とボディー領域はMOSトランジスタ形成領域との間に生じる段差部の曲率半径を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0345]請求項27記載の半導体装置の複合分離領域は、周辺部分分離領域の底面における角部より绝缘層と部分絶縁領域との間に生じる段差部の曲率半径を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0346]請求項28記載の半導体装置のボディー領域は、周辺部分分離領域の周囲を囲って形成される第2の導電型の周辺ボディー領域を含むため、周辺ボディー領域を電位固定することによりトランジスタ形成領域を周囲から効果的に分離することができる。

[0347]請求項29記載の半導体装置は、部分分離領域の裏面に接する領域を上記ボディー領域として、複数の電子形成領域のうち、少なくとも1つのトランジスタ形成領域とその下方のSOI層とによって電子分離領域が形成されるため、MOSトランジスタ形成領域に対し、基板導電効果を抑えて電子分離領域がなされる。

[0348]請求項30記載の半導体装置は、複合分離領域において、部分分離領域の底面における角部より绝缘層と部分絶縁領域との間に生じる段差部の曲率半径を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0349]請求項31記載の半導体装置は、部分分離領域の裏面における角部の曲率半径より底面における角部の曲率半径を大きくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0350]請求項32記載の半導体装置は、複合分離領域において、部分分離領域の底面における角部より绝缘層と部分絶縁領域との間に生じる段差部の曲率半径を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0351]請求項33記載の半導体装置において、完全分離領域の下方に形成される第1のトレンチ形状の開削部は、第1及び第2のトレンチ間の形成部の違いを利用して、側壁部をマスクして第2のトレンチの中心部下のSOI層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができます。

[0352]請求項34記載の半導体装置のボディー領域はMOSトランジスタ形成領域に形成されるMOSトランジスタのゲート電極に電気的に接続されるゲート接続ボディー領域を含み、部分分離領域はMOSトランジスタ形成領域の周囲を囲って形成されるため、ゲート電極とゲート接続ボディー領域と同一電位に設定するDT-MOSトランジスタの性能向上を図ることができる。

[0353]請求項35記載の半導体装置の電子活性は、複数のトレンチの下方のSOI層に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する電子形成領域を安定・良好・電位固定することができる。

含むため、部分分離領域による分離によるバンチスルーパス性の向上を図ることができる。

[0345]請求項27記載の半導体装置の比較的不純物濃度が高い第1の部分半導体領域はMOSトランジスタ形成領域のゲート電極近傍領域を含み、比較的不純物濃度が低い第2の部分半導体領域はMOSトランジスタ形成領域のドライン/ソース近傍領域を含むため、PN接合容量の低下とバンチスルーパス性の向上を図ることができる。

[0346]請求項28記載の半導体装置の部分分離領域は、内部回路形成領域から完全に遮断することができるので、半導体領域の不純物濃度のビーグが、MOSトランジスタ形成領域のドライン/ソース領域との間のPN接合電圧を高めることができ。また、部分分離領域はNMOSトランジスタ形成領域と完全分離領域形成箇所にのみ形成され、部分分離領域はNMOSトランジスタ形成領域の周辺領域、及び完全分離領域形成箇所を除くNMOSトランジスタ形成領域の周辺領域に形成されるため、NMOSトランジスタの基板電位の固定を不足なく行い、N-MOSTトランジスタ形成領域、PMOSトランジスタ形成領域の境界を面積効率よく完全分離することができる。

[0347]請求項29記載の半導体装置において、完全分離領域によって形成される第1の部分半導体領域の不純物濃度をそれ以外の半導体領域である第2の部分半導体領域の不純物濃度よりも高く設定したため、SOI層にかかるストレス等により発生する不具合を抑制することができる。

[0348]請求項30記載の半導体装置は、部分分離領域を上記半導体領域に分散させることができるとともに、上記部分分離領域と下部に存在するSOI層の一部である半導体領域とから分離されるとともに、上記部分分離領域の半導体領域は複数の電子形成領域を含み、上記部分分離領域とから分離されるとともに、フローティング状態に設定された部分分離領域により電子形成領域を周囲から分離するともに、上記少なくとも1つの領域内で側壁電極に発生するキャリアや宇宙線によって発生する電荷等を上記半導体領域に分散させることができると、電位を抑え、ソフトエラー耐性の向上させることができ。

[0349]請求項31記載の半導体装置は、部分分離領域の裏面における角部の曲率半径より底面における角部の曲率半径を大きくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0350]請求項32記載の半導体装置は、複合分離領域において、部分分離領域の底面における角部より绝缘層と部分絶縁領域との間に生じる段差部の曲率半径を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0351]請求項33記載の半導体装置は、部分分離領域の下方のSOI層とによって電子分離領域が形成されるため、インタクタンス成分に付随する寄生容量の低減を図ることができる。

[0352]請求項34記載の半導体装置のボディー領域はMOSトランジスタ形成領域に形成されるMOSトランジスタのゲート電極に電気的に接続されるゲート接続ボディー領域を含み、部分分離領域はMOSトランジスタ形成領域の周囲を囲って形成されるため、ゲート電極とゲート接続ボディー領域と同一電位に設定するDT-MOSトランジスタの性能向上を図ることができる。

[0353]請求項35記載の半導体装置の電子活性は、複数のトレンチの下方のSOI層に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する電子形成領域を安定・良好・電位固定することができる。

[0354]請求項36記載の半導体装置の製作方法は、側壁部をマスクして第2のトレンチの中心部下のSOI層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができます。

[0355]請求項37記載の半導体装置の製作方法は、側壁部をマスクして第2のトレンチ間の形成部の違いを利用して、側壁部をマスクして第2のトレンチの中心部下のSOI層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができます。

[0356]請求項38記載の半導体装置の製作方法は、側壁部をマスクして第2のトレンチの下方のSOI層に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する電子形成領域を安定・良好・電位固定することができる。

[0357]請求項39記載の半導体装置の製作方法は、側壁部をマスクして第2のトレンチ間の形成部の違いを利用して、側壁部をマスクして第2のトレンチの中心部下のSOI層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができます。

[0358]請求項40記載の半導体装置の製作方法は、側壁部をマスクして第2のトレンチの下方のSOI層に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する電子形成領域を安定・良好・電位固定することができる。

[0359]請求項41記載の半導体装置の製作方法は、側壁部をマスクして第2のトレンチ間の形成部の違いを利用して、側壁部をマスクして第2のトレンチの中心部下のSOI層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができます。

[0360]請求項42記載の半導体装置の製作方法は、側壁部をマスクして第2のトレンチの下方のSOI層に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する電子形成領域を安定・良好・電位固定することができる。

[0361]この発明によると請求項4記載の半導体装

覆の製造方法は、シリコン層とエピタキシャル成長層によりSOI層を構成するため、結晶性の良いSOI層を形成することができる。

[0362] この発明に係る請求項4-3記載の半導体装置の製造方法は、第1のトレンチ内の絶縁層と第1のトレンチ内に複数したポリシリコン層により部分分離領域を形成している。したがって、粒子形成領域と電気的に接続するポリシリコン層の膜厚を制御的良く形成することができる。

[0363] この発明に係る請求項4-4記載の半導体装置の製造方法は、埋め込み絶縁層に形成された六角形ポリシリコン層で埋め、少なくとも1つの粒子形成領域と電気的接続關係を有するゲーティング層を形成している。

[0364] したがって、ゲーティング層は、SOI層下の埋め込み絶縁層に形成されるため、粒子分離領域による地分離に与える悪影響を最小限に抑えることができる。

[0365] 請求項4-5記載の半導体装置の製造方法は、少なくとも1つの粒子形成領域の端部裏面からエピタキシャル成長させたエピタキシャル成長層とポリシリコン層とからなるポティーグ層を形成している。

[0366] したがって、エピタキシャル成長層を介して10個以上も1つの粒子形成領域を形成されている分、上記少なくとも1つの粒子形成領域と分離される粒子とポリシリコン層との距離を十分とすることが可能、良好な電気的特性を得ることができる。

[0367] 請求項4-6記載の半導体装置の製造方法のステップ(O)は、SOI層の上部部に漏電分布のピークが存在し、かつチャネリング現象が生じるように所定の埋め込み絶縁層の表面にかけて不純物が分布する所定の粒子の活性領域を得ることができることである。

[0368] この発明における請求項4-7記載の半導体装置の製造方法は、ステップ(O)、(C)を行うことにより、複合分離領域用の複合トレンチと部分分離領域用の非貫通トレンチとを同時に形成することができる。

[0369] 請求項4-8記載の半導体装置の設計方法は、ステップ(O)で、過去データにおけるウェル領域の外周近傍領域に、SOI層を貫通する完全地絶縁層からなる完全分離領域を設定するため、過去データを有利に活用して第1及び第2のMOSトランジスタの形成領域間を効率的に分離する完全分離領域を設定することができること。

[図面の簡単な説明]

[図1] この発明の実施の形態1であるSOI構造の半導体装置の第1の感様を示す断面図である。

[図2] 実施の形態1の第1の感様を示す断面図である。

[図3] 実施の形態1の第2の感様を示す断面図である。

[図4] 実施の形態1における粒子分離工程(その

10)を示す断面図である。

[図5] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図6] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図7] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図8] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図9] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図10] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図11] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図12] 高密度ウェル領域形成工程を示す断面図である。

[図13] 高密度ウェル領域形成工程を示す断面図である。

[図14] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図15] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図16] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図17] 実施の形態2における粒子分離工程(その

10)を示す断面図である。

[図29] 実施の形態3の第2の感様を示す断面図である。

[図30] 実施の形態4のSOI構造を示す断面図である。

[図31] 実施の形態4のSOI構造を示す断面図である。

[図32] 実施の形態4の他のSOI構造を示す断面図である。

[図33] 実施の形態4における粒子分離工程を示す断面図である。

[図34] 実施の形態4における粒子分離工程を示す断面図である。

[図35] 実施の形態4における粒子分離工程を示す断面図である。

[図36] 実施の形態4における粒子分離工程を示す断面図である。

[図37] 実施の形態4における粒子分離工程を示す断面図である。

[図38] 実施の形態5の第1の感様を示す断面図である。

[図39] 実施の形態5の第2の感様を示す断面図である。

[図40] 実施の形態5の第3の感様を示す断面図である。

[図41] 実施の形態6の第1の感様を示す断面図である。

[図42] 実施の形態6の第2の感様を示す断面図である。

[図43] 実施の形態6における接続領域形成工程(その1)を示す断面図である。

[図44] 実施の形態6における接続領域形成工程(その1)を示す断面図である。

[図45] 実施の形態6における接続領域形成工程(その1)を示す断面図である。

[図46] 実施の形態6における接続領域形成工程(その2)を示す断面図である。

[図47] 実施の形態6における接続領域形成工程(その2)を示す断面図である。

[図48] 実施の形態6における接続領域形成工程(その2)を示す断面図である。

[図49] 実施の形態6における接続領域形成工程(その3)を示す断面図である。

[図50] 実施の形態6における接続領域形成工程(その3)を示す断面図である。

[図51] 実施の形態6における接続領域形成工程(その3)を示す断面図である。

[図52] 実施の形態6の第3の感様を示す断面図である。

[図53] 実施の形態6の第4の感様を示す断面図である。

[図54] 実施の形態6の第5の感様を示す断面図である。

[図55] 実施の形態2の第4の感様を示す断面図である。

[図56] 実施の形態2の第5の感様を示す断面図である。

[図57] 実施の形態2の第6の感様を示す断面図である。

[図58] 実施の形態2における粒子分離工程(その1)を示す断面図である。

[図59] 実施の形態2における粒子分離工程(その2)を示す断面図である。

[図60] 実施の形態2における粒子分離工程(その3)を示す断面図である。

[図61] 実施の形態2における粒子分離工程(その4)を示す断面図である。

[図62] 実施の形態2における粒子分離工程(その5)を示す断面図である。

[図63] 実施の形態7による完全分離領域の設定方法を示す説明図である。

[図64] ラッチャップ現象説明用の説明図である。

[図65] 実施の形態8の第1の感様を示す断面図である。

[図66] 出力回路の一例を示す回路図である。

[図67] 入力回路の一例を示す回路図である。

[図68] 実施の形態8の第2の感様を示す断面図である。

[図69] 実施の形態8の第3の感様を示す平面図である。

[図70] 実施の形態9の第1の感様を示す平面図である。

[図71] 図70のA-A断面を示す断面図である。

[図72] 実施の形態9の第2の感様を示す平面図である。

[図73] 図72のB-B断面を示す断面図である。

[図74] 実施の形態10の第1の感様を示す平面図である。

[図75] 実施の形態10の第2の感様を示す平面図である。

[図76] 実施の形態11の第1の感様を示す平面図である。

[図77] 実施の形態11の第2の感様を示す平面図である。

[図78] 実施の形態12の第1の感様を示す平面図である。

[図79] 図78のC-C断面を示す断面図である。

[図80] 実施の形態12の第2の感様を示す平面図である。

[図81] 図80のC-C断面を示す断面図である。

[図82] 実施の形態12の第3の感様を示す平面図である。

である。

[図83] 実施の形態13を示す断面図である。

[図84] 実施の形態14の第1の部様の特徴を示す説明図である。

[図85] 実施の形態14の第2の部様の特徴を示す説明図である。

[図86] 実施の形態15の第1の部様を示す断面図である。

[図87] 実施の形態15の第2の部様を示す平面図である。

[図88] 実施の形態16の第1の部様を示す断面図である。

[図89] 実施の形態16の第2の部様を示す断面図である。

[図90] 実施の形態17の第1の部様を示す断面図である。

[図91] 実施の形態17の回路構成を示す回路図である。

[図92] 実施の形態17の第2の部様を示す断面図である。

[図93] 実施の形態18のDT-MOSを示す平面図である。

[図94] 実施の形態19を示す断面図である。

[図95] 実施の形態20の第1の部様を示す断面図である。

[図96] 実施の形態20のフィールドトランジスタの入力回路への利用例を示す回路図である。

[図97] 実施の形態20のフィールドトランジスタの出力回路への利用例を示す回路図である。

[図98] 実施の形態20の第2の部様を示す断面図である。

*である。

[図99] 実施の形態20の第3の部様を示す平面図である。

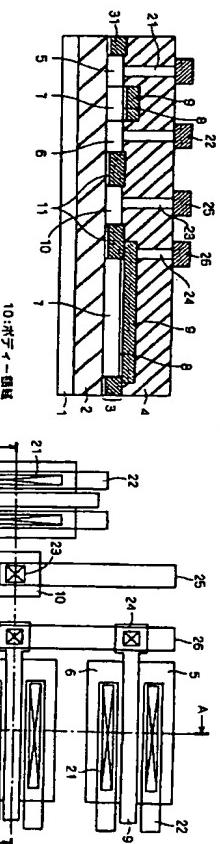
[図100] ドライン／ソース領域の不純物分布を示す説明図である。

[図101] 図74のE-E断面を示す断面図である。

[図102] 従来のSOI構造の半導体装置を示す断面図である。

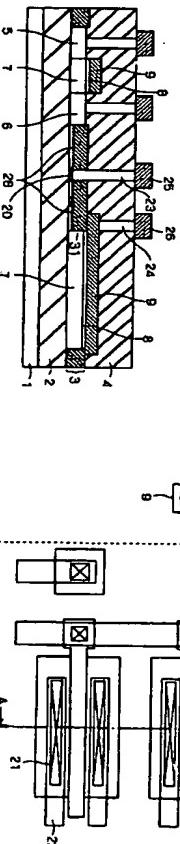
[図9] [符号の説明]

1 シリコン基板、2 埋め込み酸化膜、3 SOI 層、3A, 3B 部分SOI層、4 署間絕縁膜、5, 6t, 245, 255 ドrain領域、7 チャネル形成領域、8 ゲート酸化膜、9 ゲート電極、10, 20, 146, 147, 156, 164 ポーダー領域、11 ウェル領域(ロゴ型)、12, 28 ウェル領域(n型)、31 部分酸化膜、32 完全酸化膜、33, 210～212, 218 酸化膜、44, 44A, 20, 44B 部分トレンチ、48 完全トレンチ、61, 62 ポリシリコン領域、75～77 低誘電率膜、78, 79 シリコン酸化膜、80, 86～89 接触膜、90, 104 nウェル領域、105, 110, 114, 115, 120 完全分離領域、107, 117, 127, 137, 148 部分分離領域、149 フローティング部分分離領域、150 フローティングド・ポーダー領域、182, 224 ウェル領域、199 スペイシング、200 高抵抗シリコン基板、223 高抵抗領域、Q21, Q22 アナログ回路用トランジスタ、20・ポーダー領域、28・ウェル領域

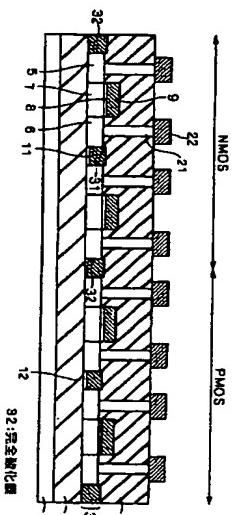


[図2]

[図4]



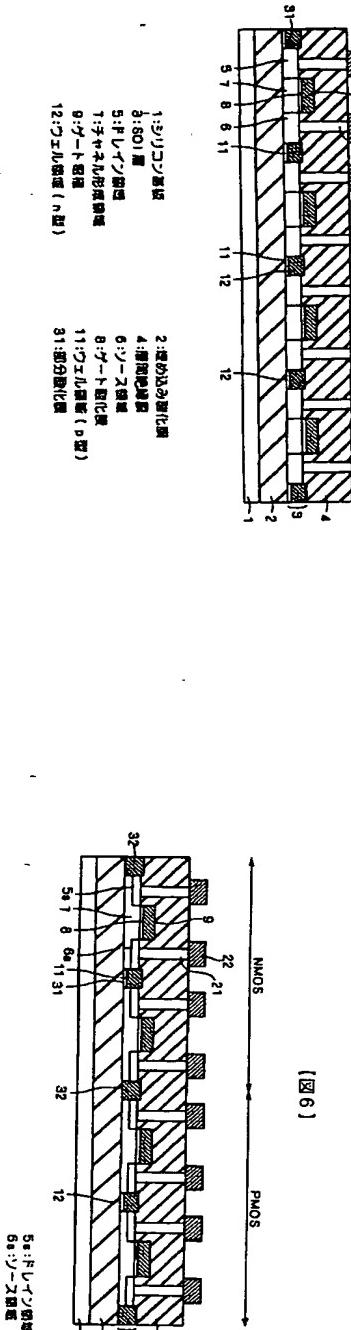
[図5]



[図6]



[図1]

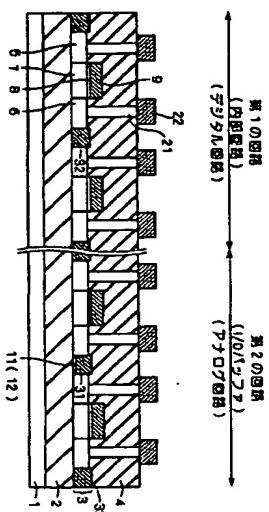


[図87]

[図98]

5:ドレイン領域
6:ソース領域

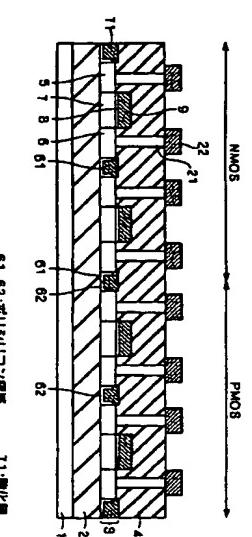
[図2.8]



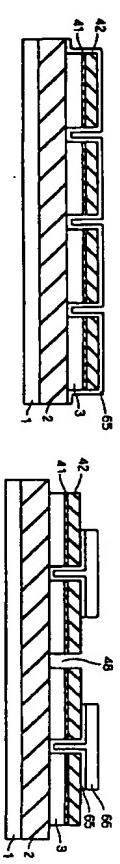
[図2.9]



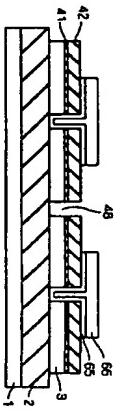
[図3.0]



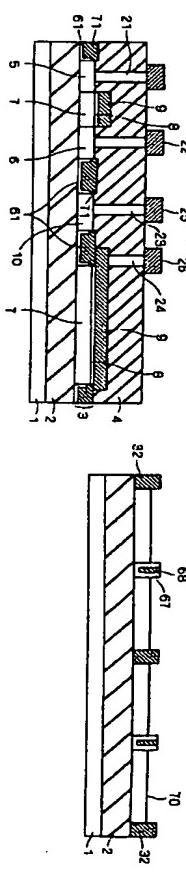
[図3.1]



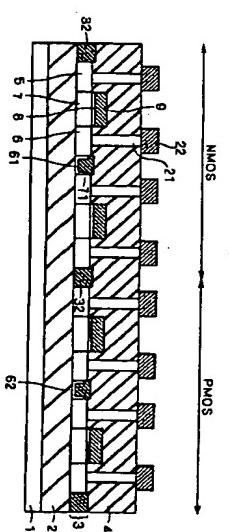
[図3.2]



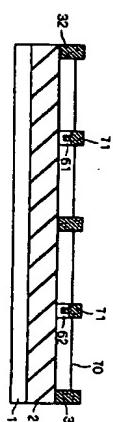
[図3.6]



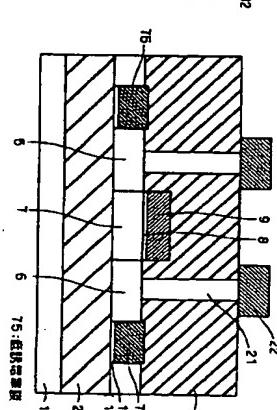
[図3.7]



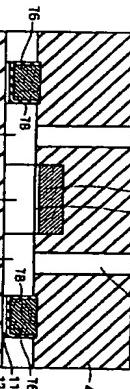
[図3.8]



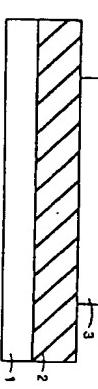
[図4.3]



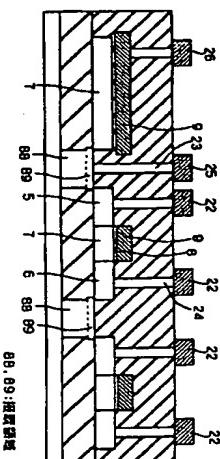
[図3.9]



[図4.1]



[54]



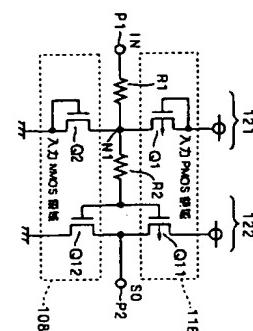
[55]

22
21
COMMISSIONS
SOMA

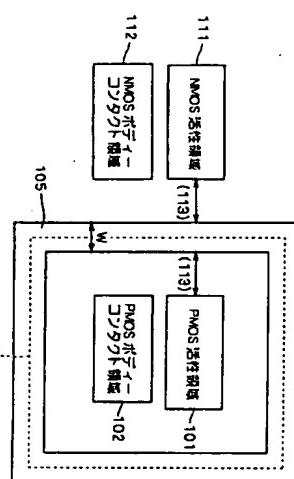
[四九二]

A horizontal strip of material with a diagonal hatching pattern on the left side. There are five small rectangular holes along the strip, each containing a number: 33 at the top, 31 in the middle, 33 below it, 3 to the right of the third hole, and 33 at the bottom right.

四〇九



103



105:完全分離領域

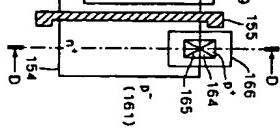
164

۶۹۹

1

[图] 73

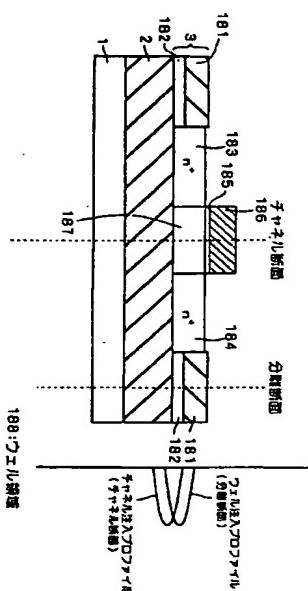
108



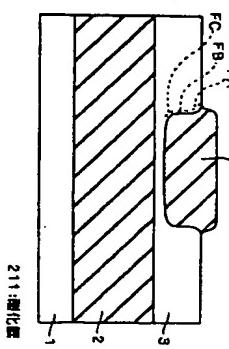
۶۹۹

1

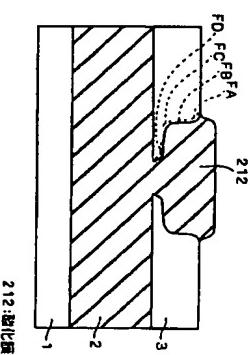
[圖85]



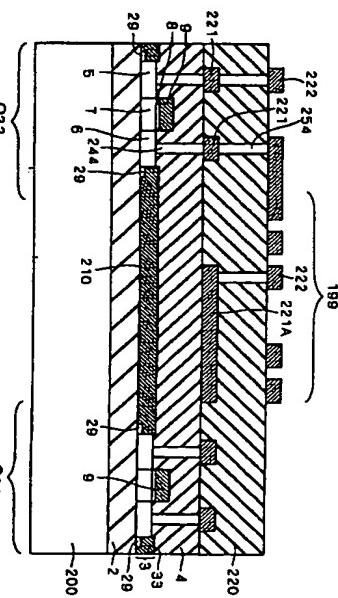
[88]



106

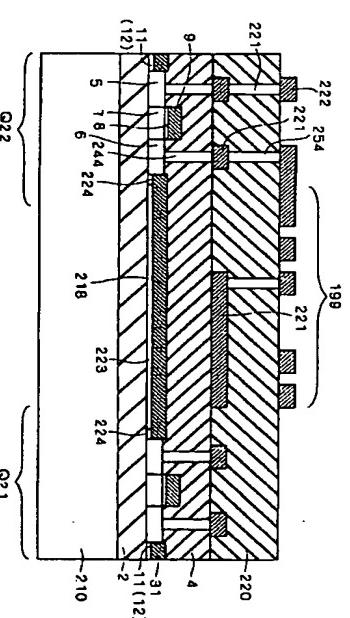


[688]

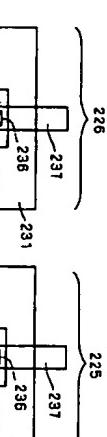


Q21、Q22:ナロウ回路用トランジスタ
198:スピアラルインダクタ
200:高抵抗シリコン電極
210:樹脂

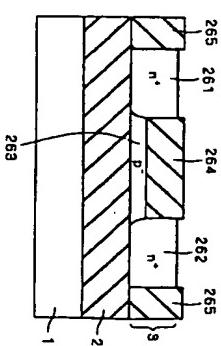
92



224: ワエル論域

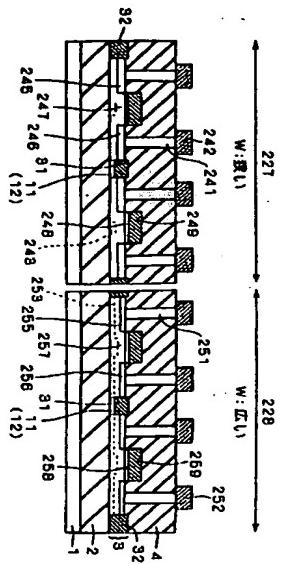


[898]



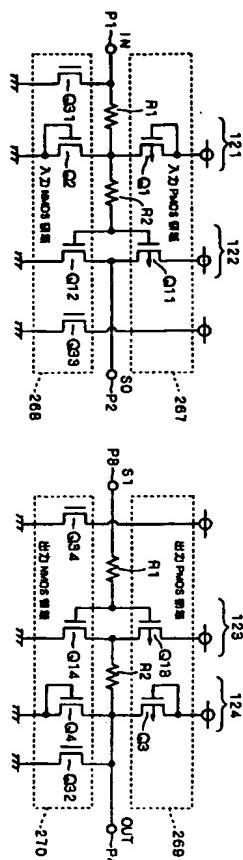
[101]

[464]

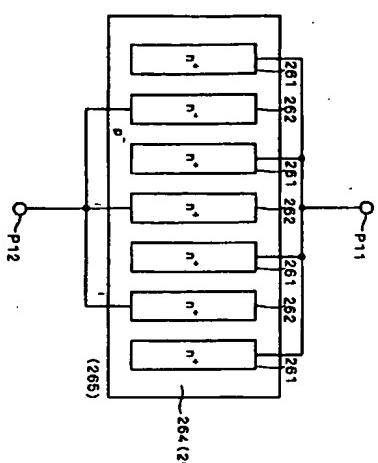


フロントページの続き

四〇八



(88)



P14

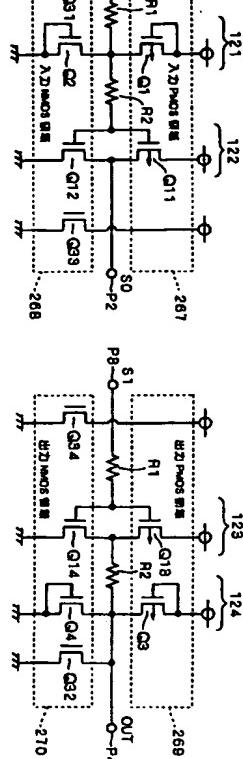
(72)発明者 一往謙 隆志
東京都千代田区丸の内二丁目2番3号
菱電機株式会社内

(72)発明者 宮本 昭一
東京都千代田区丸の内二丁目2番3号 三
愛電機株式会社内
Fターム(参考) SF032 AA01 AA07 AA34 AA44 AA77

(72)発明者 一往謙 隆志
東京都千代田区丸の内二丁目2番3号
菱電機株式会社内

(72)発明者 宮本 昭一
東京都千代田区丸の内二丁目2番3号 三
愛電機株式会社内

四〇八



188